

日本国特許庁
JAPAN PATENT OFFICE

J1040 U.S. PTO
10/046755



#2
6-3-02

01/17/02

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2001年 1月24日

出願番号
Application Number:

特願2001-016302

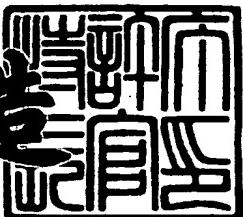
出願人
Applicant(s):

富士通株式会社

2001年11月 2日

特許庁長官
Commissioner,
Japan Patent Office

及川耕造



出証番号 出証特2001-3096087

【書類名】 特許願
 【整理番号】 0040525
 【提出日】 平成13年 1月24日
 【あて先】 特許庁長官 及川 耕造 殿
 【国際特許分類】 G11C 7/00
 【発明の名称】 半導体記憶装置、セクタアドレス変換回路、アドレス変換方法及び半導体記憶装置の使用方法
 【請求項の数】 10
 【発明者】
 【住所又は居所】 神奈川県川崎市中原区上小田中4丁目1番1号 富士通
 株式会社内
 【氏名】 庄司 春雄
 【特許出願人】
 【識別番号】 000005223
 【氏名又は名称】 富士通株式会社
 【代理人】
 【識別番号】 100070150
 【住所又は居所】 東京都渋谷区恵比寿4丁目20番3号 恵比寿ガーデン
 プレイスタワー32階
 【弁理士】
 【氏名又は名称】 伊東 忠彦
 【電話番号】 03-5424-2511
 【手数料の表示】
 【予納台帳番号】 002989
 【納付金額】 21,000円
 【提出物件の目録】
 【物件名】 明細書 1
 【物件名】 図面 1
 【物件名】 要約書 1

特2001-016302

【包括委任状番号】 9704678

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体記憶装置、セクタアドレス変換回路、アドレス変換方法
及び半導体記憶装置の使用方法

【特許請求の範囲】

【請求項1】 複数の領域に分割された半導体記憶装置において、

前記複数の領域は、それぞれ、領域内の最上位の物理アドレス又は領域内の最上位の物理アドレスを含む一連の複数の物理アドレスに、1又は複数のスマールセクタを配置したことを特徴とする半導体記憶装置。

【請求項2】 複数の領域に分割された半導体記憶装置において、

前記複数の領域は、それぞれ、領域内の最下位の物理アドレス又は領域内の最下位の物理アドレスを含む一連の複数の物理アドレスに、1又は複数のスマールセクタを配置したことを特徴とする半導体記憶装置。

【請求項3】 請求項1又は2記載の半導体記憶装置において、

アドレス変換回路を有し、

前記複数の領域は、それぞれ、更に、スマールセクタより大きいセクタを複数有し、

前記アドレス変換回路は、外部から入力された前記セクタのセクタアドレスを変換し、前記複数の領域を同一のブート・ブロック・タイプとして機能させることを特徴とする半導体記憶装置。

【請求項4】 請求項3記載の半導体記憶装置において、

前記アドレス変換回路は、外部端子から入力されるブート・ブロック・タイプを特定する信号によって、アドレスの変換が制御されることを特徴とする半導体記憶装置。

【請求項5】 請求項3記載の半導体記憶装置において、

前記アドレス変換回路は、半導体記憶装置の制御回路であり、該制御回路にブート・ブロック・タイプを特定するコマンドを入力することによって、アドレスの変換が制御されることを特徴とする半導体記憶装置。

【請求項6】 請求項1ないし5いずれか一項記載の半導体記憶装置において、

スモールセクタに書き換え用プログラム又はブートプログラムを隨時、格納することを可能としたことを特徴とする半導体記憶装置。

【請求項7】 複数の領域を有し、前記複数の領域は、更に、それぞれ、複数のセクタを有する半導体記憶装置に、セクタのアドレスを変換するセクタアドレス変換回路を接続し、該セクタアドレス変換回路は、外部から入力された前記セクタアドレスを変換し、前記複数の領域を同一のブート・ブロック・タイプとして機能させることを特徴とするアドレス変換方法。

【請求項8】 セクタアドレス入力端子、セクタアドレス出力端子、メモリデバイスのブート・ブロック・タイプを指定するブート・ブロック・タイプ指定端子及び信号変換回路を有するセクタアドレス変換回路であって、

前記信号変換回路は、前記セクタアドレスの最上位ビットと前記ブート・ブロック・タイプ指定端子に印加された信号に基づいて、セクタアドレス入力端子に印加されたセクタアドレスを変換し、

前記セクタアドレス変換回路は、前記信号変換回路により変換されたセクタアドレスをセクタアドレス出力端子から出力して、前記セクタを含むメモリデバイスを所定のブート・ブロック・タイプとして機能させることを特徴とするセクタアドレス変換回路。

【請求項9】 請求項8記載のセクタアドレス変換回路において、

前記セクタアドレス変換回路は、半導体記憶装置の制御回路であり、該制御回路にブート・ブロック・タイプを特定するコマンドを入力することを特徴とするセクタアドレス変換回路。

【請求項10】 2つの領域を有する請求項1ないし6いずれか一項記載の半導体記憶装置の使用方法において、

一方の領域のスモールセクタに書き換え用プログラムをローディングし、該プログラムを用いて、他方の領域のユニホームセクタを書き換え、

次いで、前記他方の領域のスモールセクタに書き換え用プログラムをローディングし、該プログラムを用いて、前記一方の領域のユニホームセクタを書き換えることを特徴とする半導体記憶装置の使用方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、半導体記憶装置、セクタアドレス変換回路、アドレス変換方法及び半導体記憶装置の使用方法に関する。

【0002】

【従来の技術】

フラッシュメモリをはじめとして、各種のメモリデバイスが知られている。一般的に、システムの起動時又はリセット操作等における最初の操作は、メモリデバイスから、読み出し専用ブートプログラム等が読み出されて行われる。

【0003】

従来、システムの起動用として利用するブート・ブロックは、メモリデバイスにおいてスマールセクタで構成され、システムの要求仕様に応じて、メモリデバイスのセクタアドレス（物理アドレス）の上位又は下位に位置し（ボトム・ブート・タイプ又はトップ・ブート・タイプ、これをブート・ブロック・タイプと言う。）、それぞれ個別の製品として販売されている。

【0004】

図1（A）は、トップ・ブート・タイプのメモリデバイスであり、メモリデバイスの最上位のセクタアドレスのセクタ内に位置するスマールセクタ11が、ブート・ブロック領域となっている。

【0005】

図1（B）は、ボトム・ブート・タイプのメモリデバイスであり、メモリデバイスの最下位のセクタアドレスのセクタ内に位置するスマールセクタ16が、ブート・ブロック領域となっている。

【0006】

また、STB（セット・トップ・ボックス）では、システム内で使用しているメモリにデータを残しながら、新しいデータ書き換える必要がある。つまり、オプションの追加等があった場合、テレビ回線でテレビを見ながら、回線から伝送されるデータ又はプログラムをメモリデバイスに書き換える必要がある。

【0007】

STBでは、図2に示すように、2つのメモリデバイス20、25を備えている。メモリデバイス25のデータを残しながら、ブート・ブロック領域26に格納されたプログラムを用いて、メモリデバイス20を書き換える。また、同様にして、メモリデバイス20のデータを残しながら、ブート・ブロック領域21に格納されたプログラムを用いて、メモリデバイス20を書き換える。このように、2つのメモリデバイスを用いて、交互に、相手側のメモリデバイスの書き換え動作を行う。

【0008】

また、図3に示すように、メモリデバイスの最下位のセクタアドレスのセクタ内と最上位のセクタアドレスのセクタ内にスモールセクタ31、32を有するものも販売されている。

【0009】

なお、スモールセクタがメモリデバイスの最下位のセクタアドレスのセクタにある場合、ブートプログラムは、メモリデバイスの最下位の物理アドレス群に格納されている。また、スモールセクタがメモリデバイスの最上位のセクタアドレスのセクタにある場合、ブートプログラムは、メモリデバイスの最上位の物理アドレス群に格納されている。

【0010】

【発明が解決しようとする課題】

しかしながら、同一システム内でのデータ等の書き換えは、設計的な制約から、必ず、同じブート・ブロック・タイプを用いる必要があり、ブート・ブロック・タイプの異なるメモリデバイス間の書き換えは、簡単にできないという問題がある。

【0011】

また、メモリデバイスが複数のバンクを有し、それぞれのバンクにブート・ブロックとして利用できるスモールセクタを有し、それぞれのバンク間で書き換えを行うタイプが市販されている。

【0012】

しかしながら、このタイプでは、ブート・ブロックのアドレス領域が異なり、

簡単には、メモリデバイスの書き換えができないという問題がある。

【0013】

本発明は、上記問題に鑑みなされたものであり、メモリデバイスの書き換えを容易にし、メモリデバイスのブート・ブロック・タイプに拘わらず、メモリデバイスを所定のブート・ブロック・タイプとして機能させる半導体記憶装置を提供することを目的とするものである。

【0014】

【課題を解決するための手段】

上記課題を解決するために、本件発明は、以下の特徴を有する課題を解決するための手段を採用している。

【0015】

請求項1に記載された発明は、複数の領域（例えば、バンク）に分割された半導体記憶装置（例えば、フラッシュメモリ）において、前記複数の領域は、それぞれ、領域内の最上位の物理アドレス又は領域内の最上位の物理アドレスを含む一連の複数の物理アドレスに、1又は複数のスマールセクタを配置（例えば、図5（C））したことを特徴とする。

【0016】

請求項2に記載された発明は、複数の領域に分割された半導体記憶装置において、前記複数の領域は、それぞれ、領域内の最下位の物理アドレス又は領域内の最下位の物理アドレスを含む一連の複数の物理アドレスに、1又は複数のスマールセクタを配置（例えば、図5（A））したことを特徴とする。

【0017】

請求項1又は2記載の発明によれば、それぞれの最上位又は最下位の物理アドレスに、スマールセクタを配置した、同一のブート・ブロック・タイプの複数の領域を有する半導体記憶装置であるので、メモリデバイスの書き換えが容易な半導体記憶装置を提供することができる。

【0018】

請求項3に記載された発明は、請求項1又は2記載の半導体記憶装置において

アドレス変換回路（例えば、図8、図9、図10）を有し、前記複数の領域は、それぞれ、更に、スモールセクタより大きいセクタを複数有し、前記アドレス変換回路は、外部から入力された前記セクタのセクタアドレスを変換し、前記複数の領域を同一のブート・ブロック・タイプとして機能させることを特徴とする。

【0019】

請求項3記載の発明によれば、外部から入力されたセクタのセクタアドレスを変換し、メモリデバイスの複数の領域を同一のブート・ブロック・タイプとして機能させることにより、メモリデバイスのブート・ブロック・タイプに拘わらず、メモリデバイスを所定のブート・ブロック・タイプとして機能させることができ。

【0020】

請求項4に記載された発明は、請求項3記載の半導体記憶装置において、前記アドレス変換回路は、外部端子から入力されるブート・ブロック・タイプを特定する信号（例えば、図8（A）におけるボトム信号とトップ信号）によって、アドレスの変換が制御されることを特徴とする。

【0021】

請求項5に記載された発明は、請求項3記載の半導体記憶装置において、前記アドレス変換回路は、半導体記憶装置の制御回路であり、該制御回路にブート・ブロック・タイプを特定するコマンド（例えば、図11における「AAH」、「55H」、「2FH」）を入力することによって、アドレスの変換が制御されることを特徴とする。

【0022】

請求項4又は5記載の発明は、請求項3記載の半導体記憶装置の変換回路を特定したものである。

【0023】

これにより、簡単な構成で、セクタアドレスを変換することができる。

【0024】

請求項6に記載された発明は、請求項1ないし5いずれか一項記載の半導体記

憶装置において、スマートセクタに書き換え用プログラム又はブートプログラムを随時、格納することを可能としたことを特徴とする。

【0025】

請求項6記載の発明は、スマートセクタに記憶されるプログラムを規定したものである。

【0026】

これにより、システム開始時（電源投入時、リセット時、リブート時等を含む）、書き換え時に、本半導体記憶装置を使用することができる。

【0027】

請求項7に記載された発明は、複数の領域を有し、前記複数の領域は、更に、それぞれ、複数のセクタを有する半導体記憶装置に、セクタのアドレスを変換するセクタアドレス変換回路を接続し、該セクタアドレス変換回路は、外部から入力された前記セクタアドレスを変換し、前記複数の領域を同一のブート・ブロック・タイプとして機能させることを特徴とするアドレス変換方法である。

【0028】

請求項7記載の発明は、請求項1～6記載の半導体記憶装置に適したセクタアドレス変換方法である。

【0029】

請求項8に記載された発明は、セクタアドレス入力端子（例えば、図8（A）における100～103）、セクタアドレス出力端子（例えば、図8（A）における110～113）、メモリデバイスのブート・ブロック・タイプを指定するブート・ブロック・タイプ指定端子（例えば、図8（A）における104、105）及び信号変換回路を有するセクタアドレス変換回路（例えば、図8（A）における70～77）であって、前記信号変換回路は、前記セクタアドレスの最上位ビット（例えば、A19）と前記ブート・ブロック・タイプ指定端子に印加された信号に基づいて、セクタアドレス入力端子に印加されたセクタアドレスを変換し、前記セクタアドレス変換回路は、前記信号変換回路により変換されたセクタアドレスをセクタアドレス出力端子から出力して、前記セクタを含むメモリデバイスを所定のブート・ブロック・タイプとして機能させることを特徴とするセ

クタアドレス変換回路である。

【0030】

請求項9に記載された発明は、請求項8記載のセクタアドレス変換回路において、前記セクタアドレス変換回路は、半導体記憶装置の制御回路であり、該制御回路にブート・ブロック・タイプを特定するコマンドを入力することを特徴とするセクタアドレス変換回路である。

【0031】

請求項8又は9記載の発明は、請求項1～6記載の半導体記憶装置に適したセクタアドレス変換回路である。

【0032】

請求項10に記載された発明は、2つの領域を有する請求項1ないし6いずれか一項記載の半導体記憶装置の使用方法において、一方の領域のスマートセクタに書き換え用プログラムをローディング（例えば、図12におけるS11）し、該プログラムを用いて、他方の領域のユニホームセクタを書き換え（例えば、図12におけるS12）、次いで、前記他方の領域のスマートセクタに書き換え用プログラムをローディングし（例えば、図12におけるS15）、該プログラムを用いて、前記一方の領域のユニホームセクタを書き換える（例えば、図12におけるS16）ことを特徴とするの使用方法である。

【0033】

請求項10に記載された発明は、2つの領域を有する請求項1ないし6いずれか一項記載の半導体記憶装置を使用する方法の発明である。

【0034】

【発明の実施の形態】

次に、本発明の実施の形態について図面と共に説明する。

【0035】

図4及び図5を用いて、本発明のメモリデバイスのセクタアドレスの変換に関する原理を説明する。

【0036】

図4(A)に示すように、外部からのセクタアドレスをセクタアドレス変換回

路40に入力し、セクタアドレス変換回路40で、内部アドレスのセクタアドレスに変換して、アドレスデコーダ回路41を介して、メモリセルアレイ（メモリデバイス）にアクセスする。

【0037】

メモリデバイスがトップ・ブート・タイプ、ボトム・ブート・タイプの如何に関わらず、セクタアドレス変換回路40によって、外部からは、トップ・ブート・タイプ又はボトム・ブート・タイプのメモリデバイスとして、アクセスできる。

【0038】

図4（B）に示すメモリデバイスは、ユニホームセクタ42とスマールセクタ43から構成される2つのバンク48、49を有している。図の下方が LSB（Least Significant Bit）であり、上方が MSB（Most Significant Bit）であるので、各バンクは、ボトム・ブート・タイプ構成をしている。

【0039】

そこで、矢印44、45に示すように、物理アドレスの順で、アドレスデコーダ回路41を介さずに（アドレスデコーダ回路41を介しても、アドレスを変更せずに）、メモリデバイスのセクタをアクセスすれば、2つのバンク48、49はボトム・ブート・タイプのバンクとして利用できる。

【0040】

しかしながら、セクタアドレス変換回路40で、セクタアドレスを変換して、外部からは、矢印46、47に示すような順でアドレスが設定されているよう見えた場合、2つのバンク48、49はトップ・ブート・タイプとして機能する。

【0041】

このように本発明は、1つのメモリデバイスに複数のスマールセクタがある場合、メモリデバイス内のセクタアドレスの上位又は下位にブート・ロックの領域を定義するアドレス変換回路を設けることにより、あたかも複数のトップ・ブート・タイプ又はボトム・ブート・タイプのデバイスが存在するように機能させるものである。

【0042】

図5（A）は、図4（B）のボトム・ブート・タイプのバンクを3つ設けたものであり、図5（C）は、トップ・ブート・タイプのバンクを3つ設けたものである。なお、本発明は、バンク数は、3に限定されず、2以上のバンク数にも適用できる。

【0043】

図5（B）は、図3のメモリデバイスを2つのバンクに分割した場合である。物理アドレスからすれば、バンク53はボトム・ブート・タイプであり、バンク54はトップ・ブート・タイプである。これに対して、セクタアドレス変換回路40を用いて、外部からは、矢印55、56に示すような順でアドレスが設定されているよう見せた場合、バンク53、54はトップ・ブート・タイプとして機能し、外部からは、矢印57、58に示すような順でアドレスが設定されているよう見せた場合、バンク53、54はボトム・ブート・タイプとして機能する。

【0044】

図6を用いて、図5（B）の場合におけるセクタアドレスの変換を説明する。

【0045】

図6（A）のメモリデバイスは、8Mbのメモリ容量の場合である。ブート・ブロック59は2つあり、それぞれ、64Kb (=8Kb×8) で、1つのセクタを構成すると定義する。ユニホームセクタ60は、14あり、それぞれ、64Kbの容量を有している。

【0046】

従って、図のメモリデバイスは64Kbのサイズで16のセクタを有する。なお、図6（A）に記載されたアドレスは、物理アドレスを示す。16のセクタであるので、セクタアドレスは、4ビットで表現することができる。

【0047】

本実施の形態では、アドレスの16～19（ここでは、便宜上、A16～A19とする。）の4ビットで、セクタアドレスを表現する。また、外部アドレスには、Eを付加して、EA16～EA19とし、内部アドレスには、Iを付加して、IA16～IA19とする。

【0048】

この表記方法に従えば、セクタアドレス変換回路40は、図6（B）に示すように、外部アドレスEA16～EA19を、内部アドレスIA16～IA19に変換する回路である。変換の内容は、図7に示すようなテーブルを参照して変換してもよいし、図8又は図9に示すような、回路によって変換してもよい。

【0049】

図7は、テーブルによって、変換する場合の変換テーブルを示す。図7（C）が、変換テーブルであり、図7（A）、図7（B）は、それを、トップ・ブート・タイプとボトム・ブート・タイプに分けて、まとめたものである。なお、図7（A）、図7（B）における「#」記号は、反転を示す。例えば、「EA19#」は、「EA19」の反転を示し、「EA19」が「1」であれば、「EA19#」は、「0」である。

【0050】

図5（B）における55及び56のようにセクタアドレスを設定すれば、バンク53、54はトップ・ブート・タイプとして機能し、57及び58のようにセクタアドレスを設定すれば、バンク53、54はボトム・ブート・タイプとして機能する。

【0051】

なお、本実施の形態では、外部のセクタアドレスEA16、EA17、EA18、EA19は、0、0、0、0（66）から1、1、1、1（67）の16のアドレスである。このアドレスにおいて、セクタアドレスの最上位ビットであるEA19を見ると、バンク53に対応する61のアドレスでは、全て「0」となり、バンク54に対応する62のアドレスでは、全て「1」となっているので、EA19のアドレスを見ることにより、対応するバンクを特定することができる。

【0052】

つまり、EA19が、「0」のときは、バンク53のアドレスであり、EA19が、「1」のときは、バンク54のアドレスである。

【0053】

上述したように、バンク53は、それ自体、ボトム・ブート・タイプであるので、ボトム・ブート・タイプとしては、内部アドレスは外部アドレスと同じ設定でよい。しかしながら、バンク53をトップ・ブート・タイプとして機能させるには、図5（B）における56のようにセクタアドレスを設定する。そのためには、内部アドレスの内、IA16、IA17、IA18（63）は、EA16、EA17、EA18のアドレスを反転した値とする必要がある。

【0054】

同じように、バンク54は、それ自体、トップ・ブート・タイプであるので、トップ・ブート・タイプとしては、外部アドレスと同じ設定よい。しかしながら、バンク54をボトム・ブート・タイプとして機能させるには、図5（B）における57のようにセクタアドレスを設定する。そのためには、内部アドレスの内、IA16、IA17、IA18（64）は、EA16、EA17、EA18のアドレスを反転した値とする必要がある。

【0055】

そのようにしてできたテーブルが、図7（A）～図7（C）である。

【0056】

図8（A）は、図6における変換回路の一つの例である。

【0057】

この変換回路は、セクタアドレス入力端子、セクタアドレス出力端子、メモリデバイスのブート・ブロック・タイプを指定するブート・ブロック・タイプ指定端子及び信号変換回路を有し、セクタアドレスの最上位ビットとブート・ブロック・タイプ指定端子に印加された信号に基づいて、セクタアドレス入力端子に印加されたセクタアドレスを変換して、セクタを含むメモリデバイスを所定のブート・ブロック・タイプとして機能させる。

【0058】

図8（A）の回路は、否定回路70、71、アンド回路72、73、オア回路74、排他的論理和回路75、76、77、セクタアドレス入力端子100～103、セクタアドレス出力端子110～113、メモリデバイスのブート・ブロック・タイプを指定するブート・ブロック・タイプ指定端子（トップ・ブート・

タイプ指定信号入力端子、ボトム・ブート・タイプ指定信号入力端子) 104、105から構成されている。

【0059】

この回路により、外部アドレス EA16、EA17、EA18、EA19を、図7のテーブルと同じように、内部アドレス IA16、IA17、IA18、IA19に変換することができる。

【0060】

図8 (B) に示すように、ボトム・ブート・タイプに変換する場合に、ボトム信号が「H」となり、トップ・ブート・タイプに変換する場合に、トップ信号が「H」となる。ボトム信号とトップ信号が、共に「H」となることは禁止されている。

【0061】

図8 (A) は、セクタアドレス変換回路を用いたもので、外部端子からボトム信号とトップ信号が入力される回路について説明した。

【0062】

図9は、別のセクタアドレス変換回路の例である。メモリデバイスの制御回路に特定のコマンドを入力することによって、セクタアドレスの変換を行う。

【0063】

図9は、アドレス信号を一旦蓄積するアドレスバッファ80、アドレスのパターンをデコードしてタイミング信号を得るアドレスパターンデコーダ81、入力された制御信号、コマンド等に応じた制御を行う制御回路82、アドレスパターンデコーダの出力によりタイミングを得て、ラッチ回路、コマンドデコーダ等のタイミング調整を行うタイミング制御回路83、入力信号を一旦蓄積する入力バッファ84、入力データをラッチするラッチ回路85及びコマンドをデコードするコマンドデコーダ86から構成されている。

【0064】

アドレス信号、CE (Chip Enable)、OE (Output Enable)、WE (Write Enable) 及びデータ (DQ) に基づいて、コマンドデコーダ86の出力として、セクタアドレス変換信号を出力する。

【0065】

図10は、フラッシュメモリとその制御回路例であり、列アドレスデコーダ96の出力に応じて列信号の入出力の開閉を行う列・ゲーティング回路88、フラッシュメモリであるセルマトリックス89、コマンドを一旦蓄積し、入力された制御信号、コマンド等に応じた制御を行う状態制御・コマンドレジスタ90、フラッシュメモリの消去電圧を発生する消去電圧発生器91、フラッシュメモリの書き込み電圧を発生する書き込み電圧発生器92、タイマ93、CE信号及びOE信号を受信して受信信号に対応した制御信号を発生するCE・OE論理回路94、入力されたアドレス信号をラッチするアドレスラッチ95、列アドレスをデコードする列アドレスデコーダ96、行アドレスをデコードする行アドレスデコーダ97、入出力データを一旦蓄積する入力／出力バッファ98、データを一旦ラッチするデータラッチ回路99から構成されている。

【0066】

この構成において、図11に示すようなコマンド一覧表で、バイトモードの場合、最初のバスサイクルで、「AAA H」のアドレスで、「AAH」のデータを入力し、2回目のバスサイクルで、「555 H」のアドレスで、「55 H」のデータを入力し、3回目のバスサイクルで、「AAA H」アドレスで、「2F H」のデータを入力することによって、トップ・ブート・タイプ又はボトム・ブート・タイプにセクタアドレスが切り換わる。

【0067】

図12を用いて、バンクのそれぞれの最上位又は最下位の物理アドレスに、スマールセクタを配置した、同一のブート・ブロック・タイプの二つのバンク（バンクA、バンクB）を有する半導体記憶装置（アドレス変換回路を用いて、同一のブート・ブロック・タイプの二つのバンクとして、機能する半導体記憶装置にも適用できる。）の一つの利用方法を説明する。

【0068】

先ず、バンクAのスマールセクタに書き換え用プログラムをローディングし（S11）、該プログラムを用いて、バンクBのユニホームセクタを書き換える（S12）。

【0069】

次いで、バンクBに飛び(S13)、バンクBのスマールセクタに書き換え用プログラムをローディングし(S15)、該プログラムを用いて、バンクBのユニホームセクタを書き換える(S16)。

【0070】

これにより、システム内で使用しているメモリにデータを残しながら、容易に新しいデータ書き換えることができる。

【0071】

【発明の効果】

上述の如く本発明によれば、メモリデバイスの書き換えを容易にし、メモリデバイスのブート・ブロック・タイプに拘わらず、メモリデバイスを所定のブート・ブロック・タイプとして機能させる半導体記憶装置を提供するができる。

【0072】

また、1つのメモリに複数のスマールセクタがある場合、メモリデバイス内に、セクタアドレスの上位又は下位にブート・ブロックの領域を定義するアドレス変換回路を有することにより、あたかも、複数のトップ・ブート・タイプ又はボトム・ブート・タイプのデバイスが存在するようになり、従来、複数のメモリデバイスで構成されているものが、1つのメモリデバイスで対応することが可能となり、システムの簡素化が図れる。

【0073】

また、STB等でシステム内で使用しているメモリにデータを残しながら、新しいデータを他のメモリに書く場合、複数のメモリを搭載し、それぞれのブート・ブロックに書き換えのための情報を記憶させ、交互に相手側のメモリへデータを書き換え動作を行っていたのが、1個のメモリデバイスで同等なメモリ構成が実現できる。

【0074】

【図面の簡単な説明】

【図1】

従来のトップ・ブート・タイプ及びボトム・ブート・タイプのメモリデバイス

を説明するための図である。

【図2】

STBにおけるメモリデバイスの書き換えを説明するための図である。

【図3】

最下位のセクタアドレスと最上位のセクタアドレスにスモールセクタを有するメモリデバイスを説明するための図である。

【図4】

セクタアドレス変換の原理を説明するための図（その1）である。

【図5】

セクタアドレス変換の原理を説明するための図（その2）である。

【図6】

セクタアドレス変換の例を説明するための図である。

【図7】

セクタアドレス変換テーブルの例を説明するための図である。

【図8】

セクタアドレス変換回路の例を説明するための図（その1）である。

【図9】

セクタアドレス変換回路の例を説明するための図（その2）である。

【図10】

フラッシュメモリデバイスとその制御回路を説明するための図である。

【図11】

フラッシュメモリのコマンドとアドレス変換を説明するための図である。

【図12】

半導体記憶装置の利用方法の例を説明するための図である。

【符号の説明】

11、16、21、26、31、32、43 スモールセクタ

10、15、20、25、30 メモリデバイス

28、70、71 否定回路

40 セクタアドレス変換回路

- 4 1 アドレスデコーダ回路
 4 2 ユニフォームセクタ
 4 8～5 4 バンク
 5 9 ブート・ブロック
 6 0 ユニフォームブロック
 7 2、7 3 アンド回路
 7 4 オア回路
 7 5、7 6、7 7 排他的論理和回路
 8 0 アドレスバッファ
 8 1 アドレスパターンデコーダ
 8 2 制御回路
 8 3 タイミング制御回路
 8 4 入力バッファ
 8 5 ラッチ回路
 8 6 コマンドデコーダ
 8 8 列・ゲーティング回路
 8 9 セルマトリックス（フラッシュメモリ領域）
 9 0 状態制御・コマンドレジスタ
 9 1 消去電圧発生器
 9 2 書込み電圧発生器
 9 3 タイマ
 9 4 C E・O E論理回路
 9 5 アドレスラッチ
 9 6 列アドレスデコーダ
 9 7 行アドレスデコーダ
 9 8 入力／出力バッファ
 9 9 データラッチ回路
 1 0 0～1 0 3 セクタアドレス入力端子
 1 0 4 トップ・ブート・タイプ指定信号入力端子

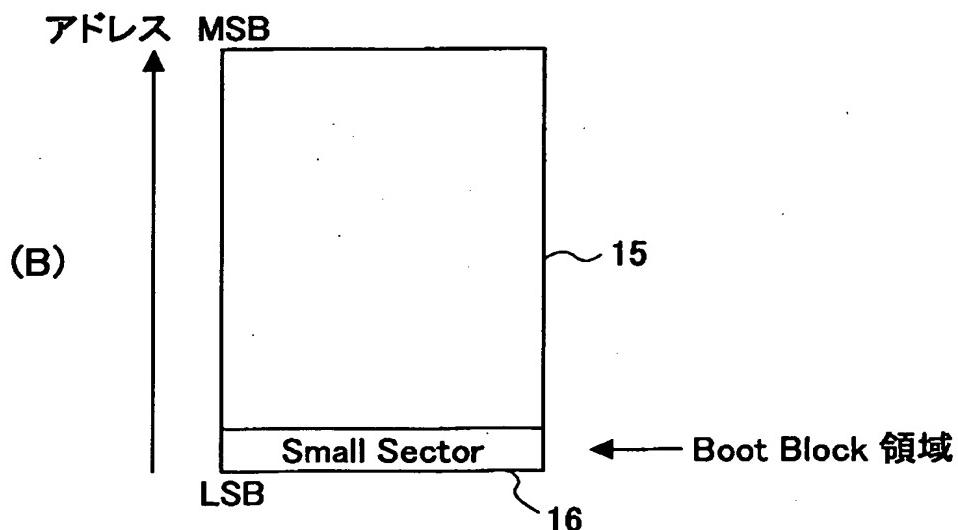
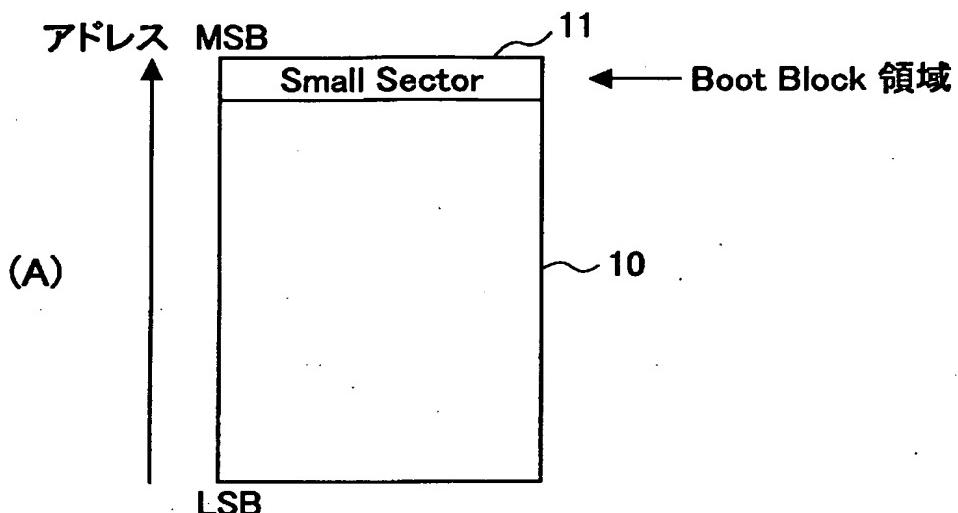
特2001-016302

105 ボトム・ブート・タイプ指定信号入力端子

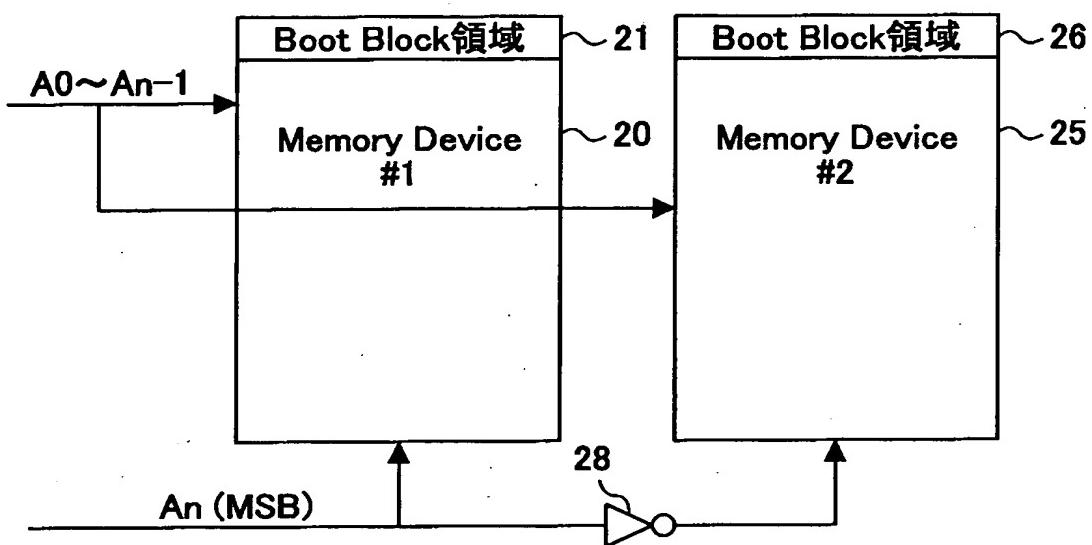
110～113 セクタアドレス出力端子

【書類名】 図面
【図1】

従来のトップ・ブート・タイプ及びボトム・ブート
タイプのメモリデバイスを説明するための図

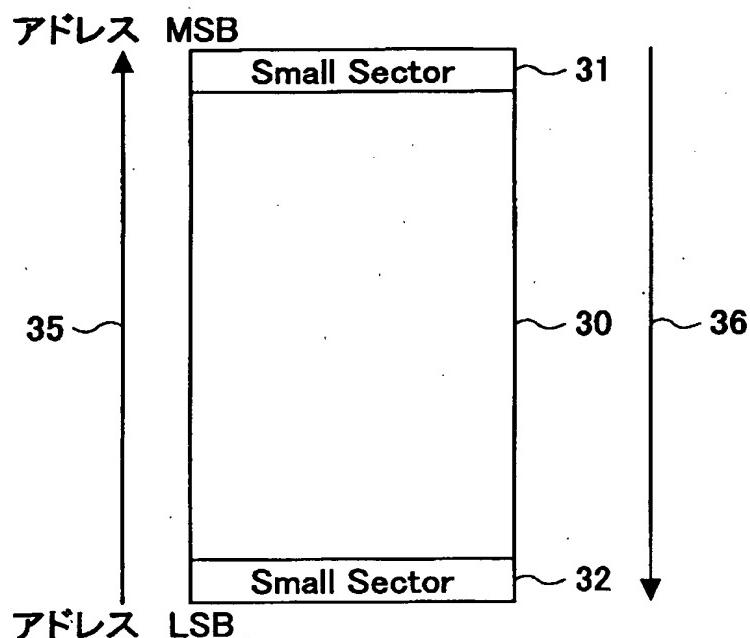


【図2】

S T Bにおけるメモリデバイスの書き換えを
説明するための図

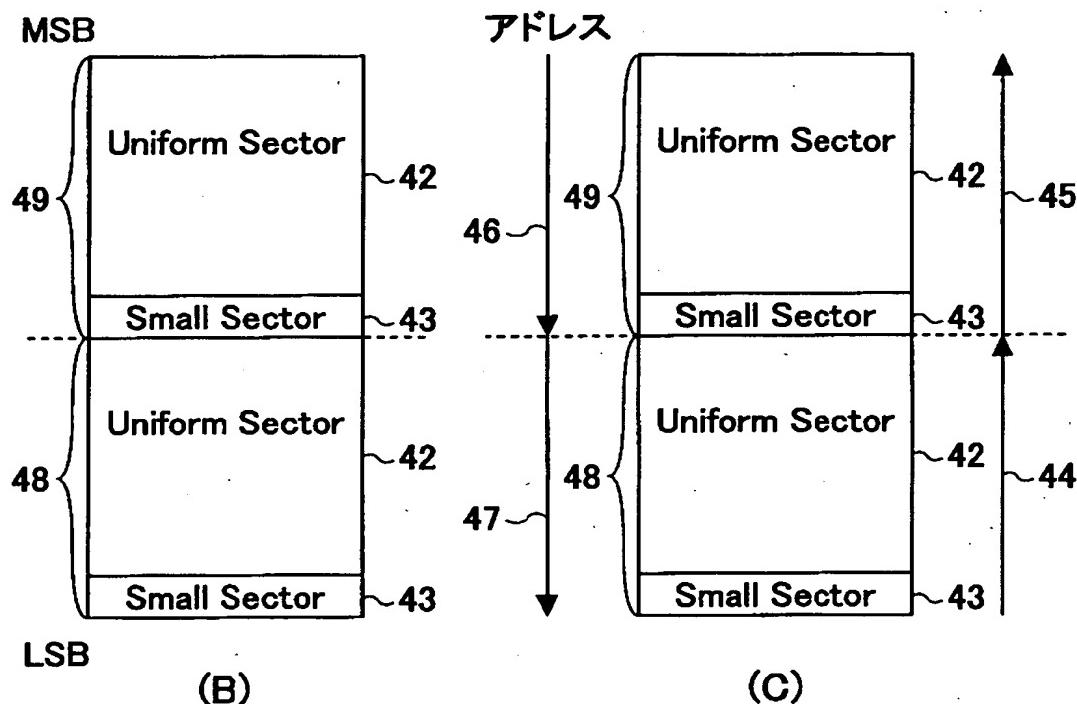
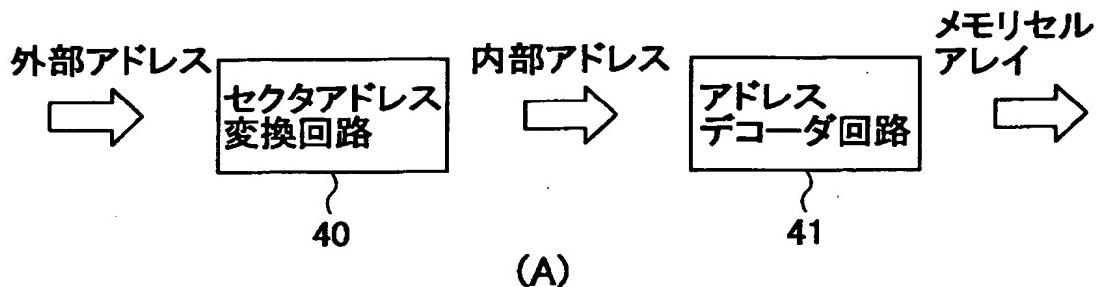
【図3】

最下位のセクタアドレスと最上位の
セクタアドレスにスモールセクタを有する
メモリデバイスを説明するための図



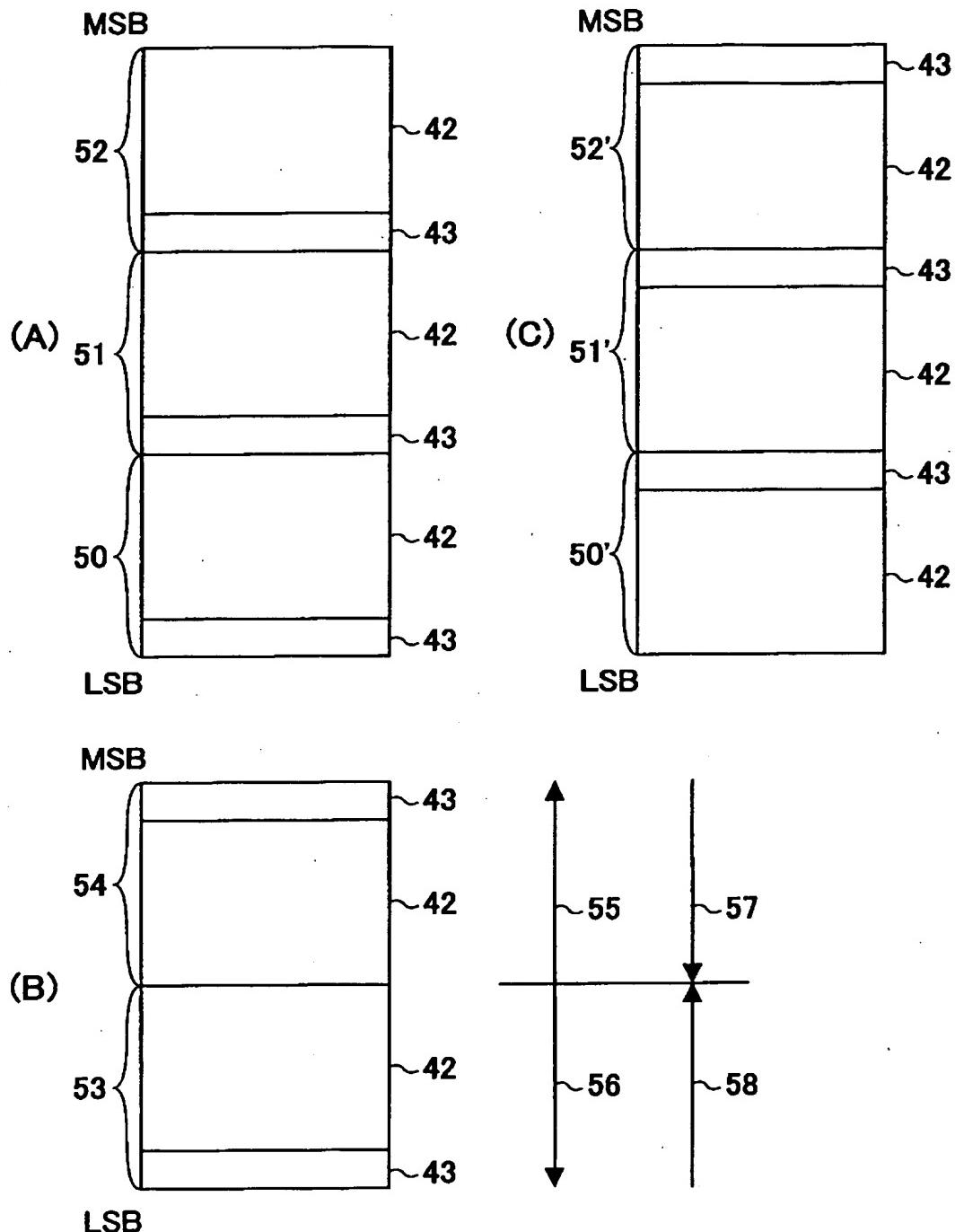
【図4】

セクタアドレス変換の原理を説明するための図(その1)



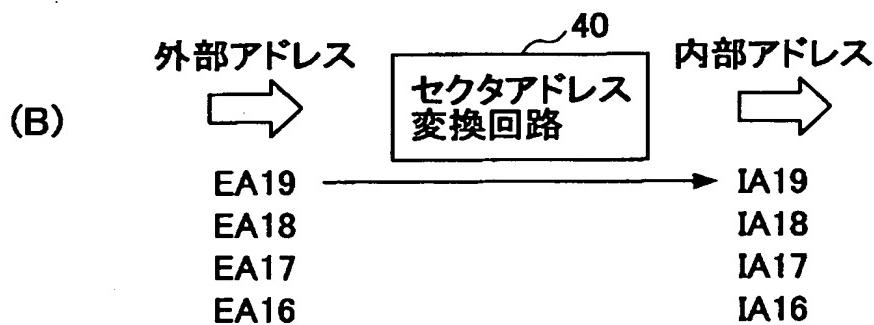
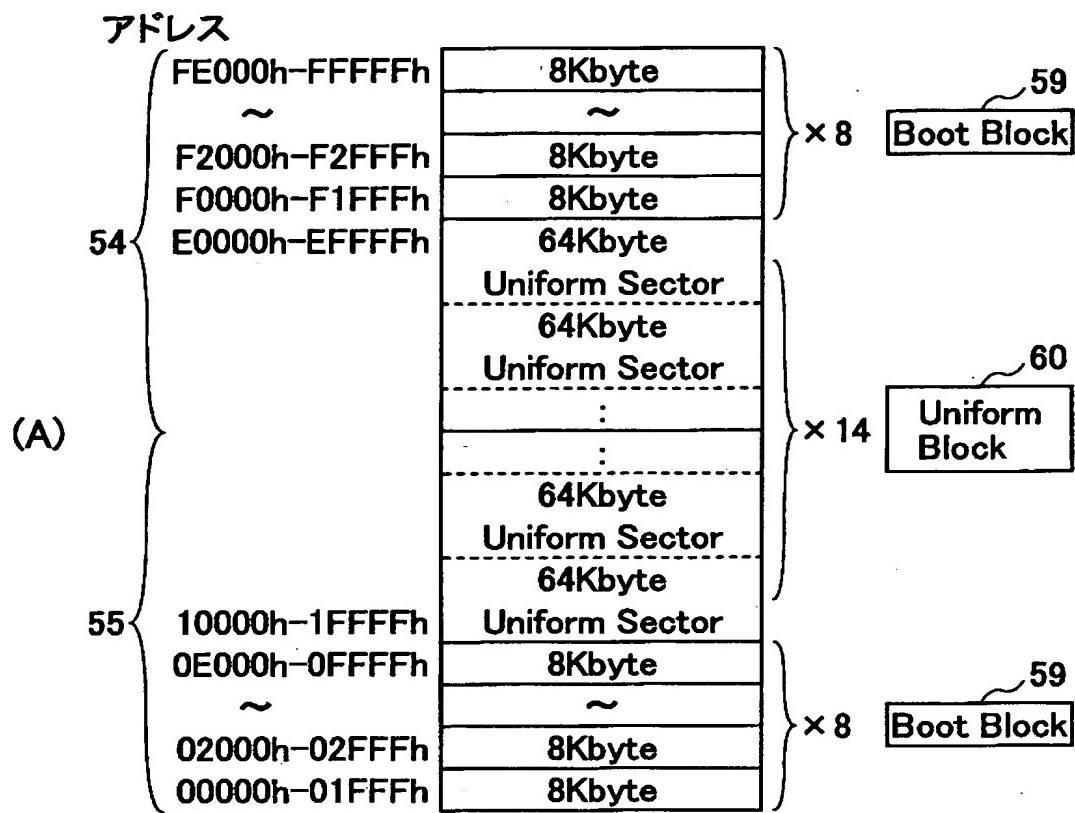
【図5】

セクタアドレス変換の原理を説明するための図(その2)



【図6】

セクタアドレス変換の例を説明するための図



【図7】

セクタアドレス変換テーブルの例を説明するための図

Top Boot Typeへの変換テーブル例

(A)	EA19	IA19	IA18	IA17	IA16
	0	0	EA18#	EA17#	EA16#
	1	1	EA18	EA17	EA16

Bottom Boot Typeへの変換テーブル例

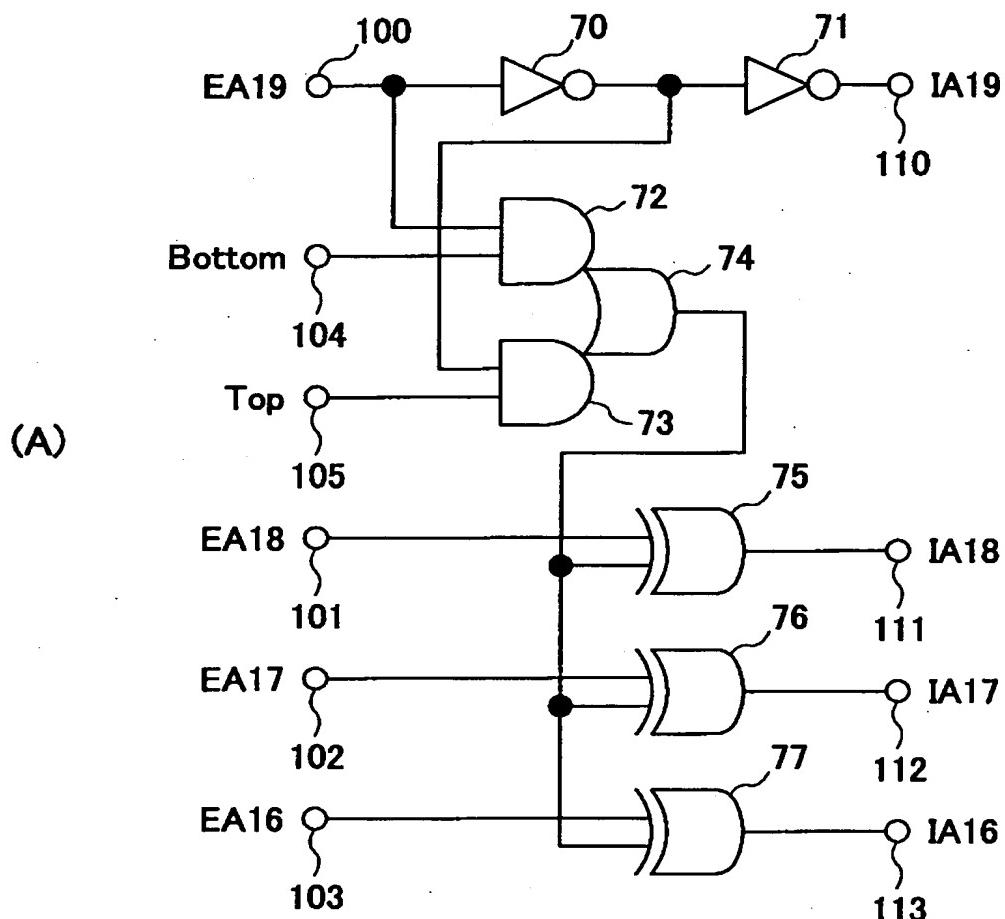
(B)	EA19	IA19	IA18	IA17	IA16
	0	0	EA18	EA17	EA16
	1	1	EA18#	EA17#	EA16#

(C)	EA	Top Boot Type				Bottom Boot Type			
		19	18	17	16	19	18	17	16
66 (バンク53 に対応)	0 0 0 0	0	1	1	1	0	0	0	0
	0 0 0 1	0	1	1	0	0	0	0	1
	0 0 1 0	0	1	0	1	0	0	1	0
	0 0 1 1	0	1	0	0	0	0	1	1
	0 1 0 0	0	0	1	1	0	1	0	0
	0 1 0 1	0	0	1	0	0	1	0	1
	0 1 1 0	0	0	0	1	0	1	1	0
	0 1 1 1	0	0	0	0	0	1	1	1
62 (バンク54 に対応)	1 0 0 0	1	0	0	0	1	1	1	1
	1 0 0 1	1	0	0	1	1	1	1	0
	1 0 1 0	1	0	1	0	1	1	0	1
	1 0 1 1	1	0	1	1	1	1	0	0
	1 1 0 0	1	1	0	0	1	0	1	1
	1 1 0 1	1	1	0	1	1	0	1	0
	1 1 1 0	1	1	1	0	1	0	0	1
	1 1 1 1	1	1	1	1	1	0	0	0

64

【図8】

セクタアドレス変換回路の例を説明するための図
(その1)

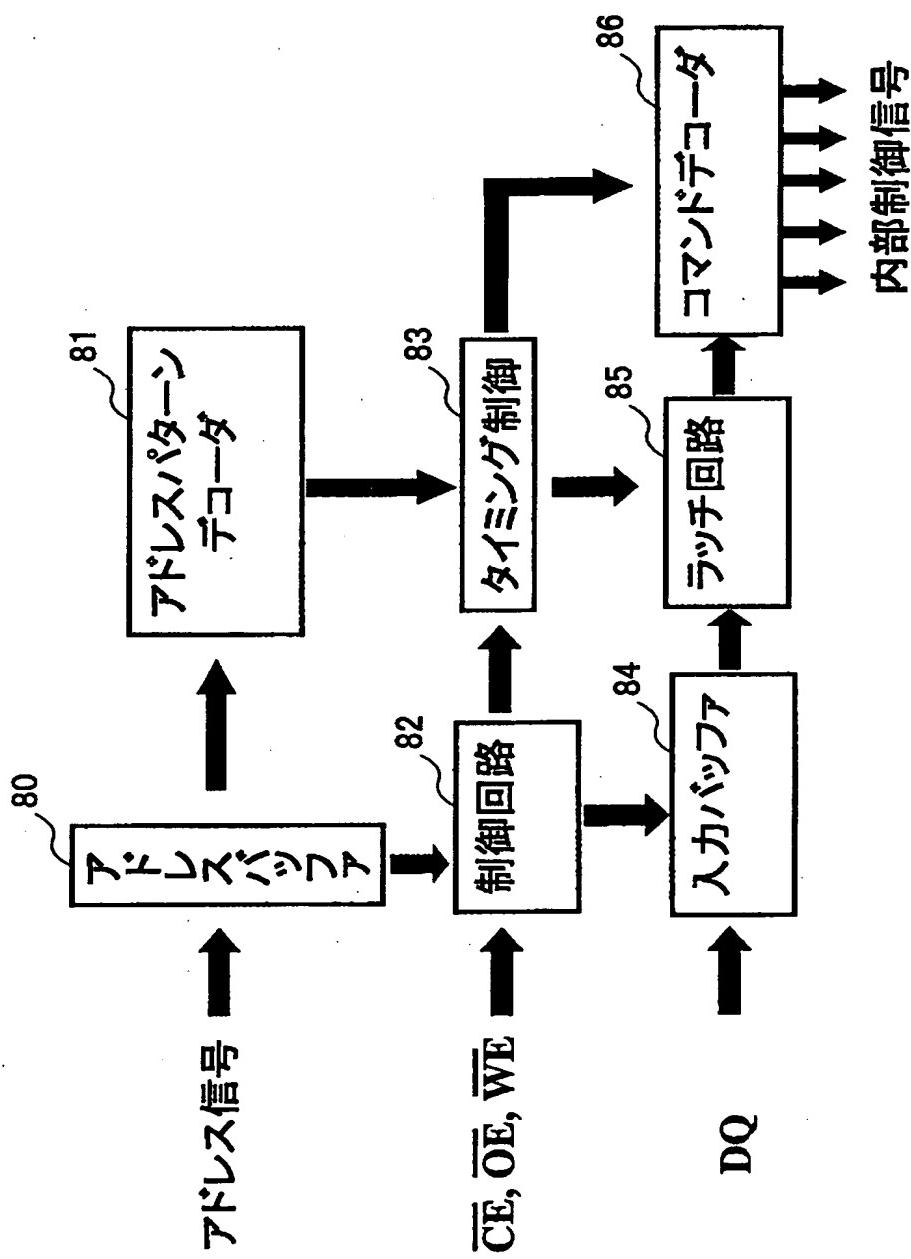


(B)

Top入力端子	Bottom入力端子	アドレス変換後
0	0	どちらでもない(従来の方式)
0	1	Bottom選択
1	0	Top選択
1	1	禁止入力

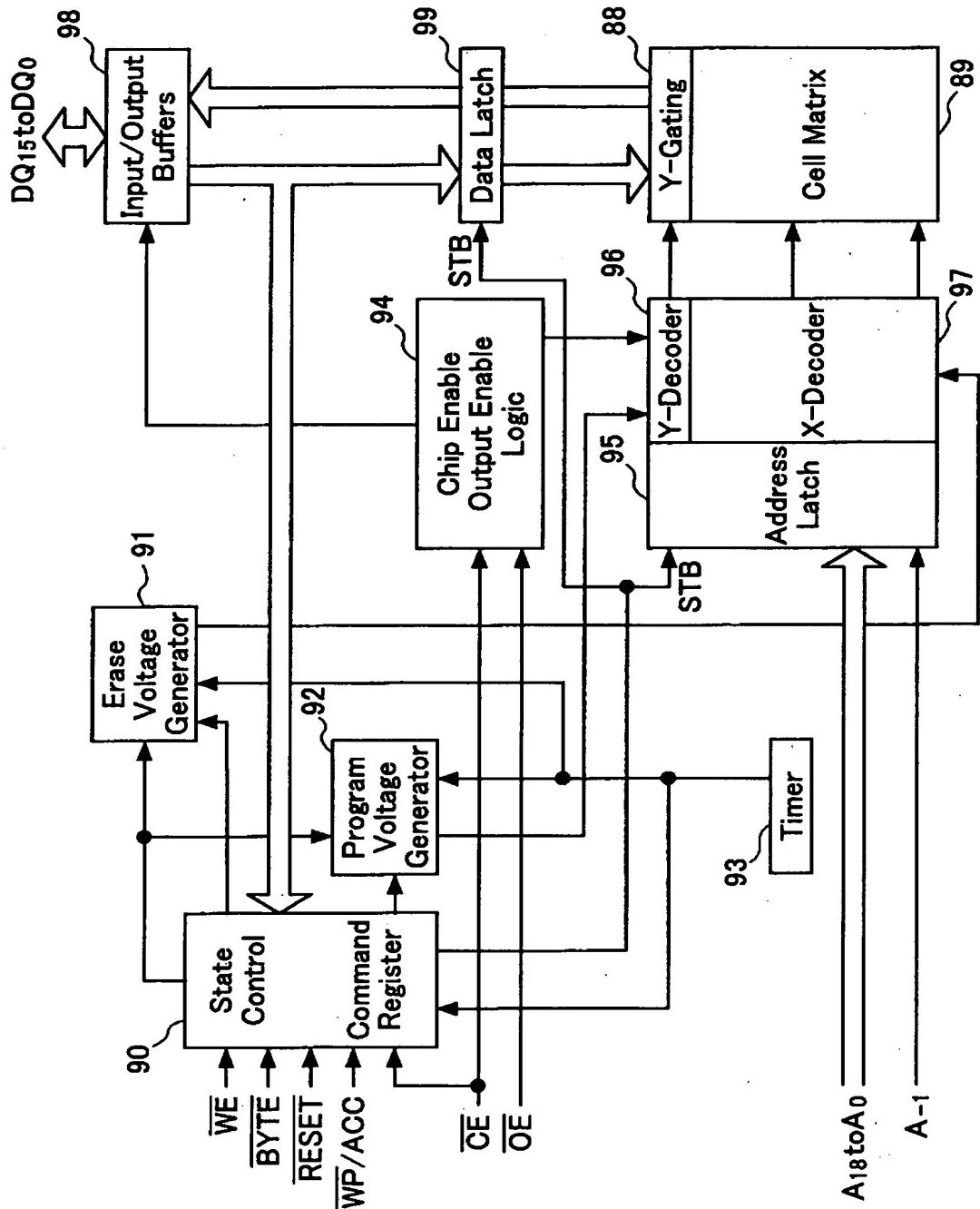
【図9】

セクタアドレス変換回路の例を説明するための図
(その2)



【図10】

フラッシュメモリデバイスとその制御回路を
説明するための図



【図11】

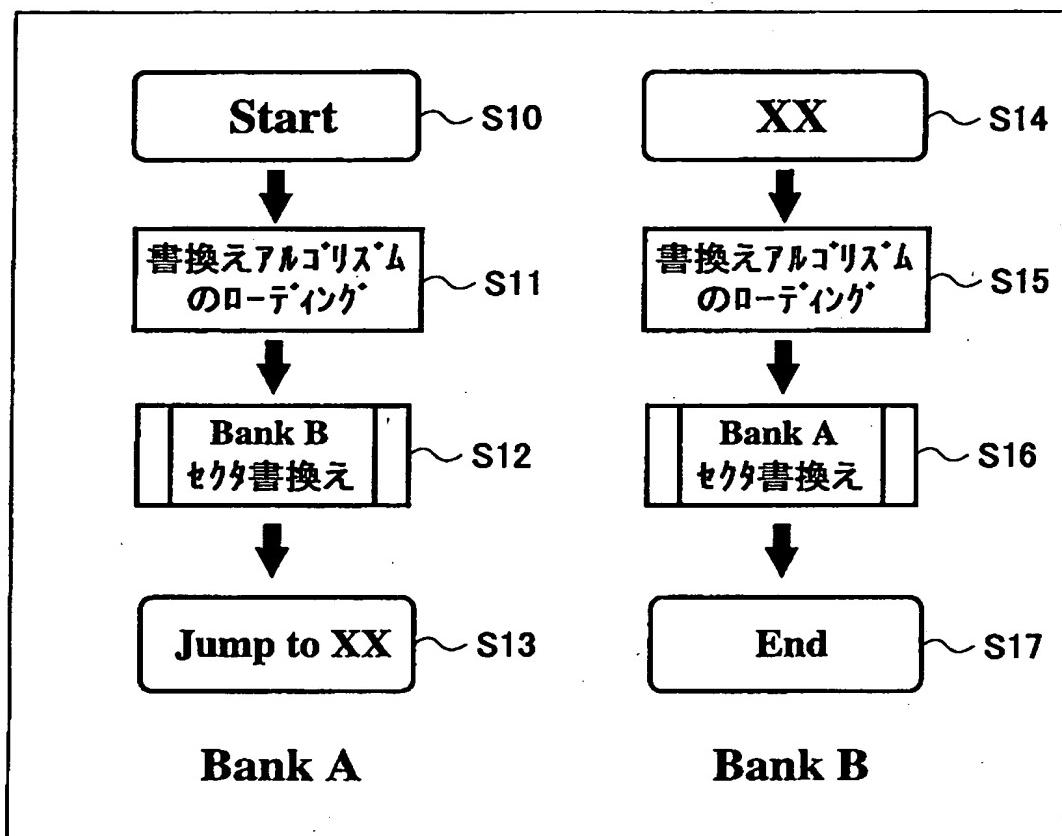
フラッシュメモリのコマンドとアドレス変換を
説明するための図

Command Sequence	Bus Write Cycles Req'd	First Bus Write Cycle		Second Bus Write Cycle		Third Bus Write Cycle		Fourth Bus Read/Write Cycle		Fifth Bus Write Cycle		Sixth Bus Write Cycle	
		Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data	Addr	Data
Read/Reset	Word /Byte	1	XXXH	F0H									
Read/Reset	Word Byte	3	555H	AAAH	2AAH	55H	555H	F0H	RA	RD			
Autoselect	Word Byte	3	555H	AAAH	2AAH	55H	555H	AAAHH	90H				
Program	Word Byte	4	555H	AAAH	2AAH	55H	555H	A0H	PA	PD			
Chip Erase	Word Byte	6	555H	AAAH	2AAH	55H	555H	AAAHH	80H	555H	AAAHH	55H	10H
Sector Erase Suspend	Word Byte	6	555H	AAAH	2AAH	55H	555H	AAAHH	80H	555H	AAAHH	55H	30H
Sector Erase Resume	Word /Byte	1	XXXH	B0H									
Set to Boot Sector	Word Byte	3	555H	AAAH	2AAH	55H	555H	AAAHH	55H	2FH			



【図12】

半導体記憶装置の利用方法の例を説明するための図



【書類名】 要約書

【要約】

【課題】 メモリデバイスの書き換えを容易にし、メモリデバイスのブート・ブロック・タイプに拘わらず、メモリデバイスを所定のブート・ブロック・タイプとして機能させる半導体記憶装置を提供することを目的とする。

【解決手段】 (A) に示すように、外部からのセクタアドレスをセクタアドレス変換回路40に入力し、セクタアドレス変換回路40で、内部アドレスのセクタアドレスに変換して、アドレスデコーダ回路41を介して、メモリセルアレイにアクセスする。 (B) に示すメモリデバイスの各バンク48、49は、ボトム・ブート・タイプ構成をしている。 (C) に示すように、セクタアドレス変換回路40で、セクタアドレスを変換して、外部からは、矢印46、47に示すような順でアドレスが設定されているよう見せた場合、各バンク48、49はトップ・ブート・タイプとして機能する。

【選択図】 図4

出願人履歴情報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社